

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

3 / P21010007
paper
6-5-02
enter
jc872 U.S. PTO
10/047498
10/23/01

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2000 年 12 月 20 日
Application Date

申請案號：089127421
Application No.

申請人：矽品精密工業股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2001 年 5 月 9 日
Issue Date

發文字號：09011006519
Serial No.

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具溢膠防止裝置之半導體封裝件
	英 文	
二、發明 創作人	姓 名	黃建屏
	國 籍	中華民國
	住、居所	新竹縣竹東鎮康莊街 26 巷 8 號
三、申請人	姓 名 (名稱)	矽品精密工業股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台中縣潭子鄉大豐路三段 123 號
	代 表 人 姓 名	林鐘隸

經濟部智慧財產局員工消費合作社印製

裝

訂

線

四、中文發明摘要（發明之名稱：具溢膠防止裝置之半導體封裝件）

一種具溢膠防止裝置之半導體封裝件，係包括一基板以供至少一晶片及至少一被動元件黏設於其正面上並與基板電性連接，該基板相對於其正面之背面上則佈設有多數電性連結端，以供該晶片與被動元件藉之與外界裝置形成電性連接關係；該基板之正面上並藉一彈性膠黏劑黏接有一溢膠防止裝置，其係由導熱性金屬材料製成且形成有一收納空間以使該晶片與被動元件容置其中，該溢膠防止裝置之頂端至基板之正面間的高度並略高於一用以形成包覆該晶片、被動元件、溢膠防止裝置及基板之封裝膠體之模具的模穴深度，使在該封裝膠體形成後，基板之背面不致有溢膠產生，而防止該基板背面上電性連接端於模壓作業中遭受污染，並得以習用之模具完成模壓作業。

英文發明摘要（發明之名稱：

）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

五、發明說明(1)

[發明領域]

本發明係關於一種半導體封裝件，尤係關於一種作為多媒體卡(Multi-Media Card, MMC)之半導體封裝件。

[先前技藝說明]

目前作為多媒體卡(MMC)用之半導體封裝件，為因應使用 MMC 之電子產品在薄型化上的要求，如美國專利第 6,040,622 號案已揭示出一種如第 9 圖所示之結構。是種 MMC 半導體封裝件，係在一基板 10 之正面 100 上黏設有至少一記憶體晶片 11 及至少一被動元件 12(為簡化起見，於圖式中僅各繪示一個)，並使兩者與該基板 10 形成電性連接關係；在該基板 10 之背面 101 上則形成有多數之電性連結端 102，俾供該記憶體晶片 11 及被動元件 12 藉之與外界裝置電性連接。該 MMC 半導體封裝件 1 並具有一封裝膠體 13，以將該晶片 11、被動元件 12 及基板 10 包覆，但該基板 10 之背面 101 及其上之電性連結端 102 則係外露出該封裝膠體 13 而與大氣直接接觸。

該種 MMC 半導體封裝件 1 之模壓作業(Molding Process)係將已黏設有記憶體晶片 11 及被動元件 12 之基板 10 夾置於模具 14 之上模 140 與下模 141 間，如第 10 圖所示。由於基板 10 欲為封裝膠體 13 包覆之部分並未為上模 140 與下模 141 所夾固，為防止模壓作業進行中，用以形成該封裝膠體 13 之封裝樹脂會溢膠至基板 10 之背面 101 上而造成製成品外觀上的不良，或甚而污染欲外露之電性連結端 102，便須於該下模 141 上開設一孔道 141a，以在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

總

五、發明說明(2)

模壓作業進行前，經由該孔道 141a 使該基板 10 真空吸附於下模 141 上，俾使基板 10 之背面 101 安適地貼合於該下模 141 上，以避免模壓作業進行時封裝樹脂得進入該基板 10 之背面 101 與下模 141 間而造成溢膠(Flash)現象。

然而，利用真空吸附方式以解決溢膠形成之問題，將使模壓作業無法將用習知之封裝用模具，且具真空吸附功能之模具之成本亦較習用模具為高，操作上更為複雜而令製造成本增加。因此，如何使用既有之封裝用模具以降低製造成本及簡化製造流程乃成業界亟待解決之一大課題。同時，由於前述之 MMC 半導體封裝件包覆有較多之電子及半導體組件，於其運作時產生之熱量自較僅包覆有單一半導體晶片者為多，故如何提升散熱效率以確保製成品之信賴性亦成亟須因應之課題。此外，當一半導體封裝件內包覆有多數個電子及半導體組件時，往往易受外界之電磁干擾(Electro Magnetic Interference, EMI)而影響半導體封裝件之電子性能，此亦為業界所須尋出解決之道者。

[發明概述]

本發明之目的即在提供一種具溢膠防止裝置之半導體封裝件，藉由該溢膠防止裝置之設置，除可使用既有之封裝用模具而毋須真空吸附模具，即得有效避免基板背面發生溢膠外，並能有效提升半導體封裝件本身之散熱效率以及降低電磁干擾，而使製成品之電性與信賴性改善。

為達成本發明上揭及其它目的，本發明之具溢膠防止裝置之半導體封裝件係包括：一基板，其具有一正面與一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

相對之背面，於該正面上佈設有多數之導電跡線，且該背面上形成有多數之電性連結端(Electrical-Connection Terminals)以與該導電跡線電性藕接；至少一晶片，黏設於該基板之正面上並與該基板電性藕接；至少一被動元件，黏設於該基板之正面上並與該基板電性藕接；一溢膠防止裝置，其係黏設於基板之正面上，以使該晶片與被動元件收納於一由該溢膠防止裝置所形成之收納空間中，且令該溢膠防止裝置之頂面至基板之正面間的高度係略高於一用以形成包覆該晶片、被動元件、溢膠防止裝置及基板之封裝膠體之模具的模穴深度；以及一封裝膠體，以將該晶片、被動元件、溢膠防止裝置及基板包覆，並使該溢膠防止裝置之頂部外露出。

[圖式簡單說明]

為使本發明之特點及功效更臻明確，以下茲以較佳具體例配合附圖進一步詳細說明之：

第1圖係本發明半導體封裝件之第一實施例之剖視圖；

第2圖係本發明第一實施例所使用之溢膠防止裝置之立體圖；

第3圖係本發明第一實施例之半導體封裝件於進行模壓作業時之示意圖；

第4圖係本發明半導體封裝件之第二實施例之剖視圖；

第5圖係本發明第二實施例所使用之溢膠防止裝置之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

總

五、發明說明(4)

立體圖；

第 6 圖係本發明半導體封裝件之第三實施例之剖視圖；

第 7 圖係本發明第三實施例所使用之溢膠防止裝置之立體圖；

第 8 圖係本發明半導體封裝件之第四實施例之剖視圖；

第 9 圖係習知 MMC 半導體封裝件之剖視圖；以及

第 10 圖係習知 MMC 半導體封裝件於進行模壓作業時之示意圖。

[發明詳細說明]

第一實施例

第 1 圖所示者為本發明半導體封裝件第一實施例之剖視圖。該第一實施例之半導體封裝件 2 係包括一基板 20，其具有一正面 200，及一相對之背面 201，以於該正面 200 上形成多數之導電跡線 202 及於該背面 201 上形成多數之電性連結端 203，且該導電跡線 202 係藉導電穿孔 (Conductive Vias) 或連通電路 (Interconnecting Wires) 與該電性連結端 203 電性連通。由於該導電穿孔或連通電路之設置為習知者，故在此不予圖示及贅述。至於製成該基板 20 之材質，則習用之聚亞醯胺樹脂 (Polyimide Resin)、聚丁二烯 (BT) 樹脂、環氧樹脂玻璃 (FR4) 或陶瓷 (Ceramic) 材料等均適用之。

在該基板 20 之正面 200 上的預設位置係供一晶片 21

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

及一被動元件 22 黏接，然須知晶片與被動元件之設置數量得視需要增加之。該晶片 21 黏接後係以多數習知之金線 23 與該基板 20 上之導電跡線 202 形成電性連接關係，該晶片 21 亦得以習知之覆晶(Flip Chip)或 TAB(Tape Automated Bonding)技術電性連接至導電跡線 202。而該被動元件 22 則亦得以前述之電性連接方式與基板 20 上之導電跡線 202 形成電性連接關係。由於該導電跡線 202 係與基板 20 背面 201 上之電性連結端 203 電性連通，故該晶片 21 及被動元件 22 得藉該電性連結端 203 與外界裝置(External Devices)電性連結。

該基板 20 與晶片 21 及被動元件 22 之黏接完成後，係使一溢膠防止裝置 24 藉習用之導熱性且具彈性之膠黏劑 25 黏接至該基板 20 之正面 200 的預設位置上。該溢膠防止裝置 24 係成一中空之矩形框體狀，如第 2 圖所示，使該中空部分形成一收納空間 240，俾在該溢膠防止裝置 24 黏接至基板 20 之正面 200 上後，該晶片 21 及被動元件 22 恰得收納於該收納空間 240 中而不會碰觸至該溢膠防止裝置 24；同時，為使基板 20 之正面 200 上位於該收納空間 240 中之面積極大化，以收納較多數量或尺寸較大之晶片及被動元件，該溢膠防止裝置 24 之外側壁 241 宜與該基板 20 之側邊 204 切齊。

該半導體封裝件 1 並包括有一封裝膠體 26，以將該晶片 21 及被動元件 22 包覆而與外界氣密隔離，並同時部分包覆住該基板 20 及溢膠防止裝置 24，而使該基板 20 之背

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

總

五、發明說明(6)

面 201 及溢膠防止裝置 24 之頂端 242 外露出該封裝膠體 26。基板 20 之背面 201 不為封裝膠體 26 所蓋覆，係在使其電性連結端 203 外露於大氣中，俾得與外界裝置形成良好之電性連接關係。

如第 3 圖所示，該封裝膠體 26 之形成係於一封裝模具 27 中為之。該封裝模具 27 為習用者，係分為上模 270 與下模 271，於該上模 270 上並開設有一模穴 270a 以供基板 20 上之晶片 21、被動元件 22 及溢膠防止裝置 24 收納於該模穴 270a 中。當該上模 270 合模至下模 271 上後，與該基板 20 接連但不為封裝膠體 26 所包覆之外圍部分 20a(即位於模穴 270a 外之部分)即為上模 270 及下模 271 所夾固，而使基板 20 定位於該封裝模具 27 之模穴 270a 中。由於該溢膠防止裝置 24 之頂端 242 至基板 20 之正面 200 的高度 H 係設為微高於模穴 270a 之深度 h，故該溢膠防止裝置 24 之頂端 242 於上模 270 與下模 271 合模後會頂抵於該模穴 270a 之頂壁 270b，使合模之壓力經該溢膠防止裝置 24 傳遞至基板 20，而令該基板 20 之背面 201 密合地壓接於下模 271 上，遂使基板 20 與下模 271 間無縫隙存在，故在模壓作業進行時，用以形成該封裝膠體 26 之樹脂化合物不致溢膠於基板 20 之背面 201 上，使該第 1 圖所示之半導體封裝件 2 於封裝製程完成後，該基板 20 之背面 201 得具有良好之外觀，且其上之電性連結端 203 不會遭受樹脂化合物之污染，而可與外界裝置產生良好之電性連結。因而，藉由該溢膠防止裝置 24 之設置，使該封裝膠體 26 之成型得

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

以習用之封裝模具為之，毋須具真空吸附功能之模具，故除能降低製造成本外，尚可簡化封裝製程。

此外，該溢膠防止裝置 24 須開設複數個通孔 243，以在模壓作業時，供熔融之樹脂化合物自通孔 243 流入該溢膠防止裝置 24 之收納空間 240 中，以包覆該晶片 21 及被動元件 22；同時，該樹脂化合物自通孔 243 中流通，在模壓作業完成後，並能使該溢膠防止裝置 24 與固化成型之封裝膠體 26 間之結合性提高。

為提高該半導體封裝件 2 之散熱效率，該溢膠防止裝置 24 得以導熱性佳之金屬材料製成，如銅、鋁、銅合金、鋁合金或其混合物等，且因該溢膠防止裝置 24 之頂端 242 係直接外露於大氣中，故熱量傳遞至該溢膠防止裝置 24 後，即得由其頂端 242 直接逸散至大氣中。

第二實施例

如第 4 圖所示者，為本發明第二實施例之半導體封裝件之剖視圖。該第二實施例之半導體封裝件 3 的結構大致同於第一實施例中所述者，其不同處在於該溢膠防止裝置 34 乃成一矩形盒狀結構，如第 5 圖所示。該溢膠防止裝置 34 具有一矩形環體 344 以及一連設於該矩形環體 344 一端上之片體 345，並由該矩形環體 344 及片體 345 圍限出一收納空間 340，用以收納晶片 31 及被動元件 32。該片體 345 上並形成有複數個凸出部 342，以使該凸出部 342 之頂端 342a 至基板 30 之正面 300 的高度微高於用以形成包覆該晶片 31、被動元件 32 及溢膠防止裝置 34 之封裝膠體 36

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

之模具(未圖示)的模穴深度，俾在模壓作業中該凸出部 342 之頂端 342a 會頂抵至模穴之頂壁上，而避免樹脂化合物溢膠於供該晶片 31 及被動元件 32 黏設之基板 30 的背面 301 上。同時，該矩形環體 344 亦開設有複數個通孔 344b，以供熔融之樹脂化合物流通該通孔 344b 而進入收納空間 340 中。此外，該基板 30 之正面 300 上之導電跡線 302 在對應該短形環體 344 的底部 344a 處係形成有接地跡線 302a (Ground Traces)，以在該溢膠防止裝置 34 藉一導電性膠黏劑 35 黏接至該基板 30 上後，該溢膠防止裝置 34 得與該接地跡線 302a 形成電性藉接，故可提升半導體封裝件 3 之電性。再者，該溢膠防止裝置 34 因係覆蓋於該晶片 31 與被動元件 32 之上，故在晶片 31 於高頻運作時，能藉由該溢膠防止裝置 34 之遮蔽(Shielding)而減少外界之電磁干擾(EMI)對晶片 31 運作之影響，而得進一步提升該半導體封裝件 3 之電性。

第三實施例

如第 6 圖所示者，為本發明第三實施例之半導體封裝件之剖視圖。該第三實施例之半導體封裝件 4 的結構大致同於該第二實施例中所述者，其不同處在於該溢膠防止裝置 44 之片體 445 上並未形成有任何凸出部，如第 7 圖所示，亦即該片體 445 之頂面 445a 須在封裝膠體 46 固化成型後，完全外露出該封裝膠體 46 而直接與大氣接觸。因而，該片體 445 之頂面 445a 至基板 40 之正面 400 間的高度須設為微高於形成封裝膠體 46 之封裝模具(未圖示)的模

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

穴深度，以使供該溢膠防止裝置 44 黏設之基板 40 的背面 401 與封裝模具之下模(未圖示)間不會產生熔融樹脂化合物會流入之間隙，而得避免基板 40 之背面 401 上有溢膠之形成。同樣地，該矩形環體 444 上亦形成有多數個供熔融樹脂化合物流通之通孔 444b。

第四實施例

如第 8 圖所示者，為本發明第四實施例之半導體封裝件的剖視圖。該第四實施例之半導體封裝件 5 之結構大致同於第三實施例中所述者，其不同處在於該溢膠防止裝置 54 之片體 545 之側緣上係形成有階梯狀凹部 542a，以由該階梯狀凹部 542a 之形成防止熔融之樹脂化合物亦溢膠於片體 545 上。

須知，上述僅為本創作之具體實施例而已，其它任何未背離本創作之精神與技術下所作之等效改變或修飾，均應仍包含在下述專利範圍之內。

[元件件號說明]

1,2	半導體封裝件	10,20	基板
100,200	基板正面	101,201	基板背面
102,203	電性連結端	11,21	記憶體晶片
12,22	被動元件	13,26	封裝膠體
14,27	封裝模具	140,270	上模
141,271	下模	141a	孔道
20a	外圍部分	202	導電跡線
204	側邊	23	金線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

24	溢膠防止裝置	240	收納空間
243	通孔	25	膠黏劑
270a	模穴	270b	頂壁
271	下模	3	半導體封裝件
30	基板	300	正面
302a	接地跡線	31	晶片
32	被動元件	34	溢膠防止裝置
340	收納空間	342	凸出部
342a	頂端	344	矩形環體
344a	頂端	344b	通孔
345	片體	35	導電性膠黏劑
36	模具	4	半導體封裝件
40	基板	400	正面
401	背面	44	溢膠防止裝置
444	矩形環體	445	片體
445a	頂面	46	封裝膠體
5	半導體封裝件	54	溢膠防止裝置
545	片體	545a	階梯狀凹部

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1. 一種具溢膠防止結構之半導體封裝件，係包括：

一基板，其具有一正面與一相對之背面，於該正面上係佈設有多數之導電跡線，而該背面上形成有多數與該導電跡線電性連通之電性連結端；

至少一晶片，其係黏設至該基板之正面上並與該導電跡線電性連接；

至少一被動元件，其係黏設至該基板之正面上並與該導電跡線電性連接；

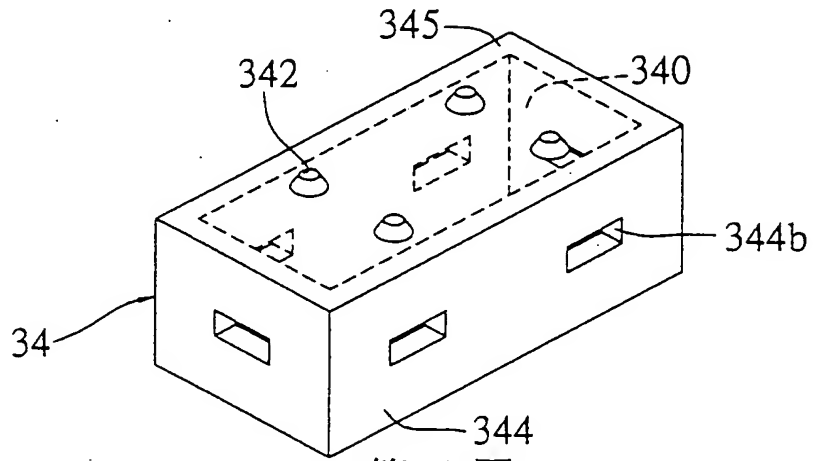
一溢膠防止結構，其係黏置於該基板之正面上，並形成有一收納空間以將該晶片與被動元件收納其中以及多數之通孔，且該溢膠防止結構之頂端至該基板之正面間之高度係微高於一在模壓作業中使用之封裝模具的模穴深度；以及

一封裝膠體，用以包覆該晶片、被動元件、溢膠防止裝置及基板，但該基板之背面則外露出該封裝膠體。

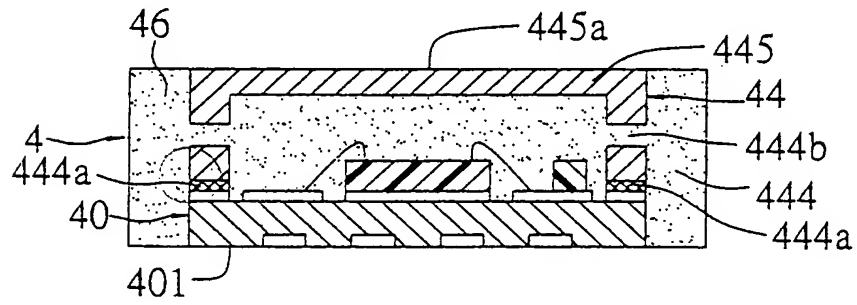
2. 如申請專利範圍第 1 項之半導體封裝件，其中，該溢膠防止裝置係藉一彈性膠黏劑與該基板黏接。
3. 如申請專利範圍第 1 項之半導體封裝件，其中，該溢膠防止裝置係藉一導熱性膠黏劑與該基板黏接。
4. 如申請專利範圍第 1 項之半導體封裝件，其中，該溢膠防止裝置之通孔係供用以形成該封裝膠體之樹脂化合物流通。
5. 如申請專利範圍第 1 項之半導體封裝件，其中，該溢膠防止裝置之頂端邊緣上復形成有階梯狀凹部。

六、申請專利範圍

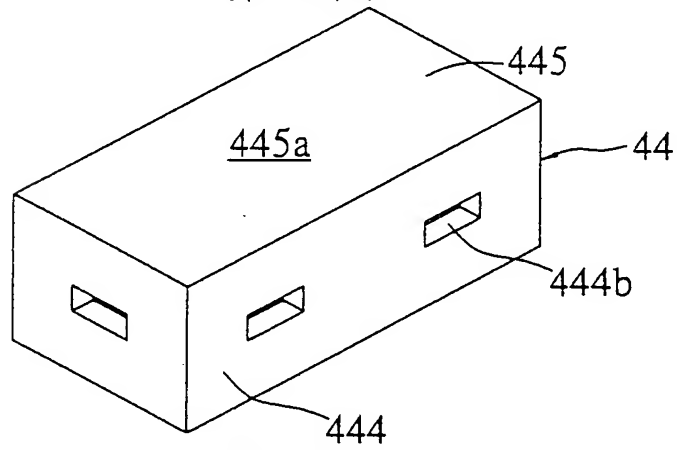
6. 如申請專利範圍第 1 項之半導體封裝件，其中，該溢膠防止裝置之外側壁宜近接至該基板之側邊。
7. 如申請專利範圍第 1 項之半導體封裝件，其中，該溢膠防止裝置之外側壁宜與該基板之側邊切齊。
8. 如申請專利範圍第 1 項之半導體封裝件，其中，該溢膠防止裝置之頂端係外露出該封裝膠體。
9. 如申請專利範圍第 1 項之半導體封裝件，其中，該導電跡線於對應該溢膠防止裝置處係形成有接地跡線，以供該溢膠防止裝置與該接地跡線藉一導電性膠黏劑黏接，而提高該半導體封裝件之電性。



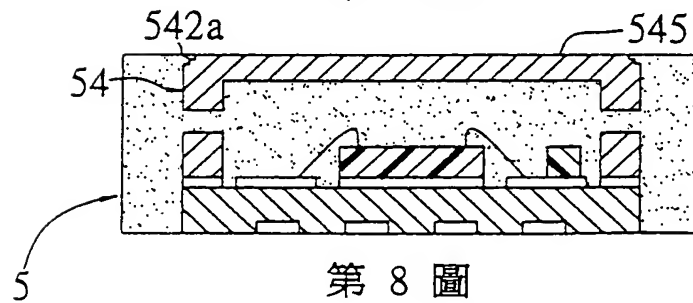
第 5 圖



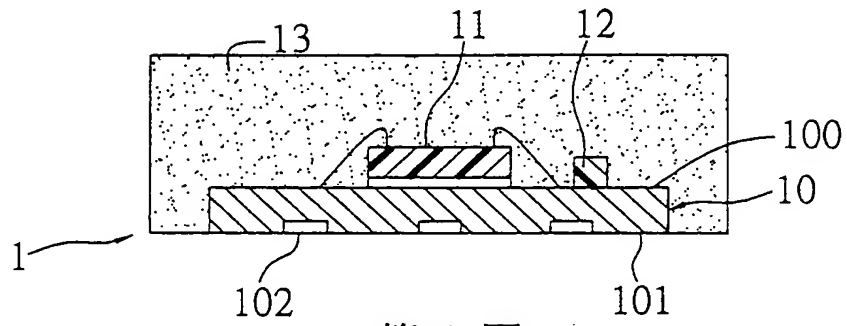
第 6 圖



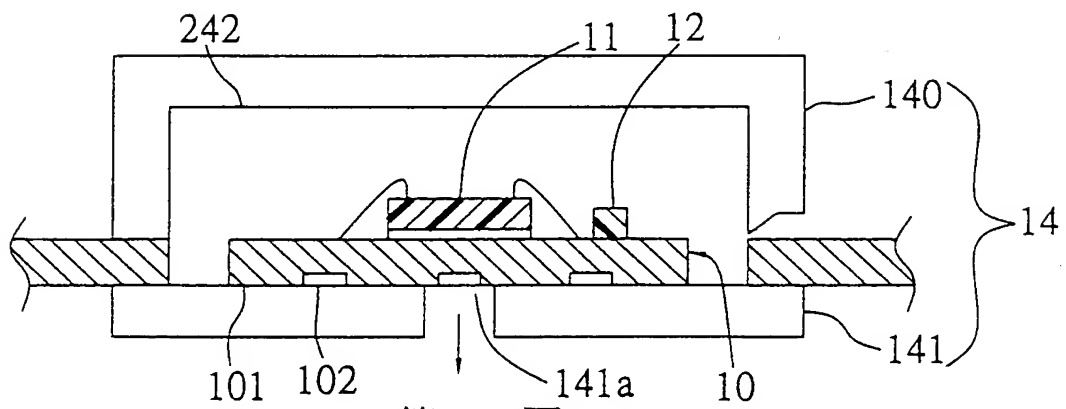
第 7 圖



第 8 圖



第 9 圖



第 10 圖